

УДК 62-529:004.254

А.А. Баркалов, д-р. техн. наук, проф., ун-т Зеленогурский (Польша),
Р.М. Бабаков, канд. техн. наук, Донецк. ин-т искусств. интеллекта,
Кхальфауи Нэжиб бен Хамади, инженер, Донецк. нац. технич. ун-т

ИСПОЛЬЗОВАНИЕ КЭШ-ПАМЯТИ В МИКРОПРОГРАММНЫХ УПРАВЛЯЮЩИХ АВТОМАТАХ

Баркалов О.О., Бабаков Р.М., Кхальфауи Нежиб бен Хамади. **Використання кеш-пам'яті в мікропрограмних керуючих автоматах.** Пропонується метод оптимізації швидкодії схем мікропрограмних автоматів за рахунок використання модуля кеш-пам'яті. Дається методика визначення середньої довжини такту роботи пристрою, основана на використанні імовірнісних сигнальних підграфів.

Barkalov A.A., Babakov R.M., Khalfaoui Nejib ben Hamadi. **Usage of the cache memory in microprogram control automata.** The method of optimizing the speed of microprogram automata circuits at the expense of using the unit of the cache memory is offered. The technique of determining the average duration of clock cycle of the device, based on the usage of probability signal subgraphs, is given.

Одним из центральных блоков цифровых устройств является устройство управления (УУ), в качестве которого может использоваться микропрограммный управляющий автомат (МПА) [1]. Одной из важных задач, возникающих при синтезе логических схем МПА, является повышение быстродействия работы схемы [1, 2]. Представляет интерес использование в структуре МПА элементов кэш-памяти, предназначенной для уменьшения среднего времени выполнения алгоритма. Разработана методика определения средней длительности такта работы схемы МПА с кэш-памятью, использующая представление структуры автомата в виде множества вероятностных сигнальных подграфов.

Логическая схема микропрограммного автомата со структурой S , являясь синхронной, содержит в числе технических характеристик длительность одного такта работы T_S , которая в простейшем случае определяется как сумма длительностей срабатывания T_{U_i} каждого последовательно срабатывающего блока структуры. Поскольку для некоторых блоков или групп блоков допустима их параллельная работа, с целью определения длительности такта схему автомата можно представить в виде ориентированного сигнального графа структуры. Вершинами такого графа являются блоки устройства, а ребрами – потоки передачи логических сигналов. В качестве примера МПА рассмотрим композиционное микропрограммное устройство управления (КМУУ) с базовой структурой [1], сигнальный граф которой показан на рис. 1.

Здесь блоку U_1 соответствует схема адресации, U_2 — счетчик адреса, U_3 — управляющая память, U_4 — регистр памяти. Пусть для каждого блока известны длительности срабатывания $T(U_1) — T(U_4)$.

В графе можно отследить два цикла, в соответствии с которыми происходит последовательная передача логических сигналов между блоками. Сигнальный цикл C_1 включает блоки U_1, U_2, U_3 ; цикл C_2 включает блоки U_1 и U_4 . Длительности T_{C_1} и T_{C_2} прохождения циклов C_1 и C_2 соответственно составляют

$$T_{C_1} = T(U_1) + T(U_2) + T(U_3),$$

$$T_{C_2} = T(U_1) + T(U_4).$$

В общем случае сигнальный цикл C_i включает множество блоков $U_{C_i} = \{U_{C_i}^1, \dots, U_{C_i}^{N_{C_i}}\}$, где $U_{C_i}^j$ — j -й блок из множества блоков, входящих в цикл C_i ; N_{C_i} — количество блоков в цикле C_i . При этом дли-

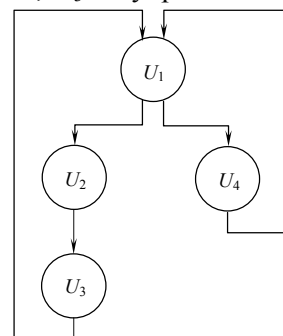


Рис. 1. Сигнальный граф базовой структуры КМУУ

тельность T_{C_i} цикла C_i определяется как

$$T_{C_i} = T(U_{C_i}) = T(U_{C_i}^1) + \dots + T(U_{C_i}^{N_{C_i}}).$$

Пусть в структуре S имеется N_C сигнальных циклов. Тогда длительность такта работы устройства T_S может быть определена как максимальная величина среди длительностей всех возможных в структуре сигнальных циклов

$$T_S = \max(T_{C_1}, \dots, T_{C_{N_C}}).$$

Для оптимизации быстродействия в существующих структурах МПА предлагается использовать принцип кэширования информации. Применение данного принципа требует введения в структуры автоматов дополнительного блока кэш-памяти, что приводит к появлению новых структур микропрограммных автоматов с кэшированием информации. При анализе подобных структур необходимо учитывать следующую особенность.

В вычислительных системах модуль кэш-памяти структурно располагается между устройством, использующим относительно быстрый элементный базис, и устройством с относительно медленным элементным базисом. Пусть “быстрый” блок U_1 запрашивает данные из “медленного” блока U_2 . Данной ситуации соответствует сигнальный граф (рис. 2, а). Введение в данный граф блока кэш-памяти добавляет второй сигнальный цикл (рис. 2, б).

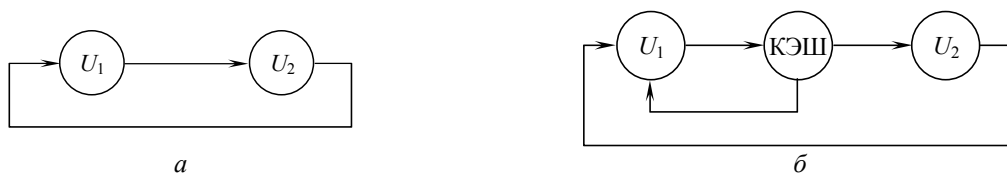


Рис. 2. Сигнальные графы устройств без кэш-памяти (а) и с кэш-памятью (б)

Особенностью кэш-памяти является то, что в случае кэш-попадания в вычислительной системе может быть выполнен “короткий” цикл C_1 , включающий блок U_1 и КЭШ, в то время как в случае кэш-промаха требуется “длинный” цикл C_2 , включающий U_1 , КЭШ и U_2 . Обозначим через p_h вероятность кэш-попадания используемого модуля кэш-памяти.

Длительность каждого из циклов равна суммарной длительности блоков, входящих в цикл. При этом кэш рассматривается наравне с другими блоками и входит в оба сигнальных цикла.

С целью упрощения анализа сигнального графа выполним следующие процедуры. При использовании в структуре УУ кэш-памяти в каждом такте работы возникает одна из двух возможных ситуаций: кэш-попадание либо кэш-промах, причем известны вероятности их появления. В каждой ситуации некоторые сигнальные циклы выполняются, некоторые — нет. Так, в случае кэш-попадания цикл, использующий выход блока КЭШ с вероятностью p_h , выполняется, а цикл, использующий выход блока КЭШ с вероятностью $(1-p_h)$, не выполняется.

В общем случае можно считать, что в каждой из ситуаций, обусловленных блоком кэш-памяти, имеем некоторый *сигнальный подграф*, причем вероятность образования данного подграфа в каждом такте работы устройства равна вероятности возникновения соответствующей ситуации. Поскольку известна вероятность возникновения подграфа в целом, все ребра подграфа будут иметь единичную вероятность прохождения.

Для графа (см. рисунок 2,б) сигнальные подграфы показаны на рис. 3. Подграф (рис. 3, а) получен путем исключения из полного графа ветви, являющейся выходом блока кэш-памяти и соответствующей ситуации кэш-промаха (ветви с вероятностью $1-p_h$). При построении подграфа (рис. 3, б) исключена ветвь, являющаяся выходом блока кэш-памяти и соответствующая ситуации кэш-попадания.

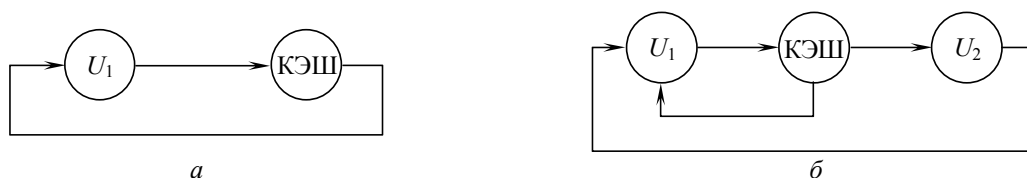


Рис. 3. Сигнальные подграфы для ситуаций кэш-попадания (а) и кэш-промаха (б)

Длительность единственного цикла в подграфе на рис. 3, а

$$T_{G1} = T(U_1) + T(\text{КЭШ}).$$

Вероятность выполнения цикла

$$p_{G1} = p_h.$$

Для подграфа на рис. 3,б данные характеристики вычисляются аналогично

$$T_{G2} = T(U_1) + T(\text{КЭШ}) + T(U_2).$$

$$p_{G2} = 1 - p_h.$$

С учетом несовместности событий кэш-попадания и кэш-промаха средняя длительность такта работы вычислительной системы определяется как сумма средних длительностей циклов в каждом сигнальном подграфе

$$T_S = T_{G1} p_{G1} + T_{G2} p_{G2}.$$

Проведенные экспериментальные исследования показывают, что эффективность структур МПА с кэш-памятью по сравнению со структурами МПА без кэш-памяти составляет 10...200 %. Столь значительный разброс объясняется зависимостью вероятности кэш-попадания от характеристик реализуемой граф-схемы алгоритма, а также от архитектурной организации и параметров модуля кэш-памяти.

Следует отметить, что сигнальные графы многих структур МПА оказываются более сложными по сравнению с рассмотренной структурой КМУУ, что обусловлено использованием в этих структурах различных методов оптимизации логических схем [3]. В качестве направления дальнейших исследований представляется целесообразным применение кэш-памяти в микропрограммных автоматах без разделения кодов [1, 3]. В данных структурах требуется несколько "медленных" блоков, что позволяет использовать в одной структуре автомата несколько модулей кэш-памяти. Такие модули могут располагаться по отношению друг к другу последовательно, параллельно или являться вложенными. Исследование эффективности использования кэш-памяти в данных структурах позволит определить целесообразность применения структур МПА с оптимизированным быстродействием в различных областях науки и техники.

Литература

1. Баркалов А.А. Синтез микропрограммных устройств управления / Баркалов А.А., Палагин А.В. — К.: ИК НАН Украины, 1997. — 135 с.
2. Соловьев В.В. Проектирование функциональных узлов цифровых систем на программируемых логических устройствах. — Минск: Бестпринт, 1996. — 252 с.
3. Баркалов А.А. Синтез устройств управления на программируемых логических устройствах. — Донецк: ДонНТУ, 2002. — 262 с.

Поступила в редакцию 24 мая 2006 г.